

Semiconductor member manufacturing method and semiconductor device manufacturing method

Publication number: TW533501B

Publication date: 2003-05-21

Inventor: NOTSU KAZUYA (JP); SATO NOBUHIKO (JP)

Applicant: CANON KK (JP)

Classification:

- international: H01L21/02; H01L21/20; H01L21/336; H01L21/762;
H01L27/08; H01L27/12; H01L29/161; H01L29/786;
H01L21/02; H01L21/70; H01L27/08; H01L27/12;
H01L29/02; H01L29/66; (IPC1-7): H01L21/306

- European: H01L21/762D8F

Application number: TW20020106371 20020329

Priority number(s): JP20010109002 20010406

Also published as:



EP1248294 (A2)

US6828214 (B2)

US2002146892 (A1)

JP2002305293 (A)

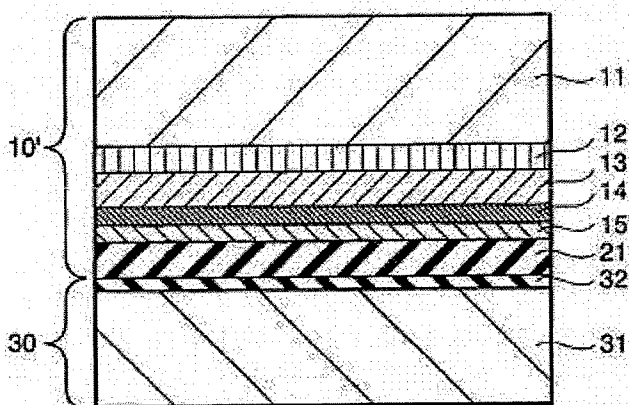
EP1248294 (A3)

[Report a data error here](#)

Abstract of TW533501B

This invention provides an SOI substrate manufacturing method using a transfer method (bonding and separation). A separation layer (12) is formed on a silicon substrate (11). A silicon layer (13), SiGe layer (14), silicon layer (15'), and insulating layer (21) are sequentially formed on the resultant structure to prepare a first substrate (10'). This first substrate (10') is bonded to a second substrate (30). The bonded substrate stack is separated into two parts at the separation layer (12). Next, Ge in the SiGe layer (14) is diffused into the silicon layer (13) by hydrogen annealing. With this process, a strained SOI substrate having the SiGe layer on the insulating layer (21) and a strained silicon layer on the SiGe layer is obtained.

FIG. 1C



Data supplied from the esp@cenet database - Worldwide

第9314062
中華民國專利公報 [19] [12] 號初審引證附件

[11]公告編號：533501

[44]中華民國 92年(2003) 05月21日

發明

全11頁

[51] Int.Cl⁰⁷：H01L21/306

TW 533501

[54]名稱：半導體構件製造方法及半導體裝置製造方法

[21]申請案號：091106371

[22]申請日期：中華民國 91年(2002) 03月29日

[30]優先權：[31]2001-109002 [32]2001/04/06 [33]日本

[72]發明人：

野津和也

日本

佐藤信彥

日本

[71]申請人：

佳能股份有限公司

日本

[74]代理人：林志剛 先生

1

2

[57]申請專利範圍：

1.一種製造具有由矽及添加材料所製之一層在一絕緣層上之一半導體構件之方法，包括：

製備步驟，製備一第一構件，具有大致由矽所製之一第二層在包含矽及添加材料之第一層上；

轉移步驟，經由絕緣層黏合第一及第二構件，同時置第二層於內面，並轉移第一構件之第一及第二層至第二構件；及

擴散步驟，擴散第一層中所含之添加材料進入第二層。

2.如申請專利範圍第1項所述之方法，其中，

製備步驟包含構製第二層於第一層

上之疊置步驟，

製造方法包含構製絕緣層於第一構件之第二層上之絕緣層製造步驟，及

依疊置步驟，絕緣層構製步驟，及轉移步驟之順序執行疊置步驟，絕緣層構製步驟，及轉移步驟。

3.如申請專利範圍第1項所述之方法，其中，

10. 第一構件具有一矽層在第一層下面，及

在轉移步驟中，自矽層至絕緣層之部份自第一構件轉移至第二構件。

4.如申請專利範圍第1項所述之方法，

15. 其中，在轉移步驟之後執行擴散步

(2)

3

- 驟。
- 5.如申請專利範圍第1項所述之方法，另包括在擴散步驟之後，生長一矽層於第二構件之第一層上之生長步驟。
 - 6.如申請專利範圍第1項所述之方法，其中，在絕緣層構製步驟之後，及在轉移步驟之前執行擴散步驟。
 - 7.如申請專利範圍第2項所述之方法，其中，在絕緣層構製步驟中，由熱氧化構製絕緣層，在足以擴散添加材料之溫度上退火，從而平行執行絕緣層構製步驟及擴散步驟。
 - 8.如申請專利範圍第2項所述之方法，其中，在絕緣層構製步驟中，由熱氧化製造絕緣層，在足以擴散添加材料之溫度上退火，擴散步驟包含第一及第二擴散步驟，第一擴散步驟由在絕緣層構製步驟中由退火執行，與絕緣層構製步驟平行，及第二擴散步驟在轉移步驟之後執行。
 - 9.如申請專利範圍第8項所述之方法，另包括在第二擴散步驟之後，生長一矽層於第二構件上第一層上之生長步驟。
 - 10.如申請專利範圍第6項所述之方法，另包括在轉移步驟之後，熱氧化第二構件之一表面層之熱氧化步驟，及移去第二構件上由熱氧化步驟所構製之熱氧化物薄膜之移去步驟。
 - 11.如申請專利範圍第10項所述之方法，另包括在移去步驟之後，生長一矽層於第二構件上之生長步驟。
 - 12.如申請專利範圍第1項所述之方法，另包括在轉移步驟之後，

4

- 熱氧化第二構件之一表面層之熱氧化步驟，及移去第二構件上由熱氧化步驟所構製之熱氧化物薄膜之移去步驟。
5. 13.如申請專利範圍第12項所述之方法，另包括在移去步驟之後，生長一矽層於第二構件上之生長步驟。
 - 14.如申請專利範圍第1項所述之方法，其中，添加材料包含鍍。
 10. 15.如申請專利範圍第1項所述之方法，其中，絕緣層為氧化矽薄膜。
 - 16.如申請專利範圍第1項所述之方法，其中，第一構件具有一分離層在第一層下面，及在轉移步驟中，第二構件黏合於具有由絕緣層構製步驟所構製之絕緣層之第一構件，及然後，由黏合所構製之一構件在分離層處分離。
 15. 17.如申請專利範圍第1項所述之方法，其中，在轉移步驟中，一分離層由離子植入構製於具有絕緣層之第一構件中，第二構件黏合於具有分離層之第一構件，及然後，由黏合所構製之一構件在分離層處分離。
 20. 25. 18.如申請專利範圍第1項所述之方法，其中，第一構件之第一及第二層由CVD製造。
 30. 19.如申請專利範圍第17項所述之方法，其中，第一構件之第一及第二層在單個CVD步驟中連續製造，同時逐漸或逐步改變供應添加材料之源氣體之流率或濃度。
 35. 20.如申請專利範圍第1項所述之方法，其中，第一構件具有第一及第二層在矽基體上，及一分離層在第一層之一部份，第一層及矽基體間之一介面，及矽基體中之一部份之至少之一處。
 - 40.

(3)

5

21. 如申請專利範圍第 20 項所述之方法，其中，分離層為由陽化所製之一多孔層及離子植入層之一。
22. 如申請專利範圍第 1 項所述之方法，其中，由矽及添加材料所製之該層由擴散步驟構製於絕緣層鄰近。
23. 一種製造具有由矽及添加材料構製於之一層在一絕緣層上之半導體構件之方法，包括：
製備步驟，製備具有大致由矽構製之一第二層在包含矽及添加材料之一第一層上之一第一構件；
轉移步驟，黏合第一構件及絕緣之第二構件，同時置第二層於內面，及轉移第一構件之第一及第二層至第二構件；及
擴散步驟，擴散第一層中所含之添加材料於第二層中。
24. 一種半導體裝置製造方法，包括：
製備步驟，製備具有大致由矽構製一第二層於包含矽及添加材料之一第一層上之一第一構件；
轉移步驟，經由絕緣層黏合第一構件及第二構件，同時置第二層於內面，及轉移第一構件之第一及第二層至第二構件；
擴散步驟，擴散第一層中所含之添加材料於第二層中；
應變矽層製造步驟，製造應變矽層於轉移至第二構件上之第一層上；及
電路元件製造步驟，製造電路元件於應變矽層上。
25. 一種半導體裝置製造方法，包括：
製備步驟，製備具有大致由矽構製之一第二層於包含矽及添加材料之一第一層上之一第一構件；
轉移步驟，黏合第一構件及絕緣之第二構件，同時置第二層於內面，

6

- 及轉移第一構件之第一及第二層至第二構件；
擴散步驟，擴散第一層中所含之添加材料進入第二層中；
5. 應變矽層製造步驟，製造應變矽層於轉移至第二構件上之第一層上；及
電路元件製造步驟，製造電路元件於應變矽層上。
10. 圖式簡單說明：
圖 1A 為斷面圖，顯示第一及第二實施例之疊置步驟；
圖 1B 為斷面圖，顯示第一及第二實施例之絕緣層製造步驟；
15. 圖 1C 為斷面圖，顯示第一及第二實施例之黏合步驟(轉移步驟之預處理)；
圖 1D 為斷面圖，顯示第一及第二實施例之分離步驟(轉移步驟之後處理)；
圖 1E 為斷面圖，顯示第一實施例之擴散步驟；
圖 2A 為斷面圖，顯示第二實施例之擴散步驟；
20. 圖 2B 為斷面圖，顯示第二實施例之生長步驟；
圖 3A 為斷面圖，顯示第三及第四實施例之疊置步驟；
圖 3B 為斷面圖，顯示第三及第四實施例之絕緣層構製步驟及第一擴散步驟；
圖 3C 為斷面圖，顯示第三及第四實施例之黏合步驟(轉移步驟之預處理)；
25. 圖 3D 為斷面圖，顯示第三及第四實施例之分離步驟(轉移步驟之後處理)；
圖 3E 為斷面圖，顯示第三及第四實施例之第二擴散步驟；
圖 3F 為斷面圖，顯示第三實施例
30. 40.

(4)

7

8

之生長步驟；

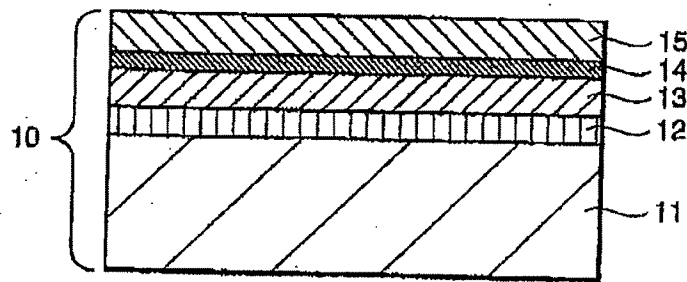
圖4A為斷面圖，顯示第四實施例之熱氧化步驟；

圖4B為斷面圖，顯示第四實施例之移去步驟；

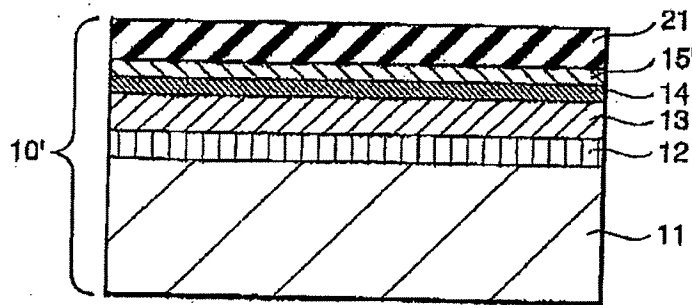
圖4C為斷面圖，顯示第四實施例之生長步驟；及

圖5A至5D顯示半導體裝置及其製造方法。

5.

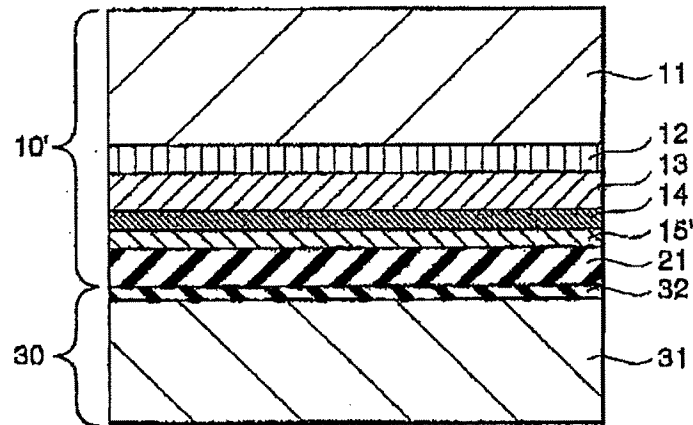


第 1A 圖

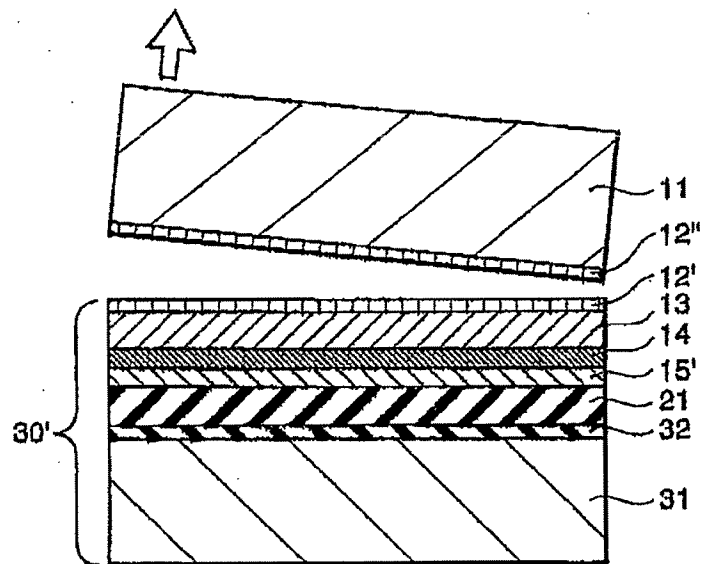


第 1B 圖

(5)

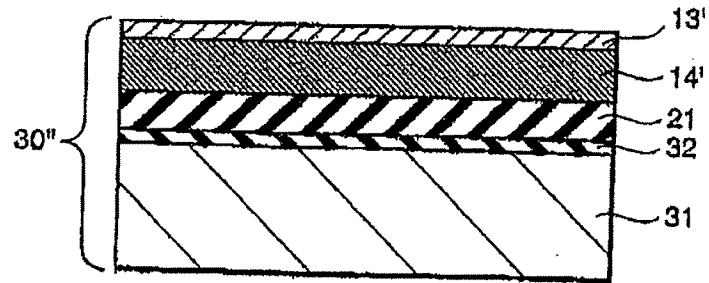


第 1C 圖

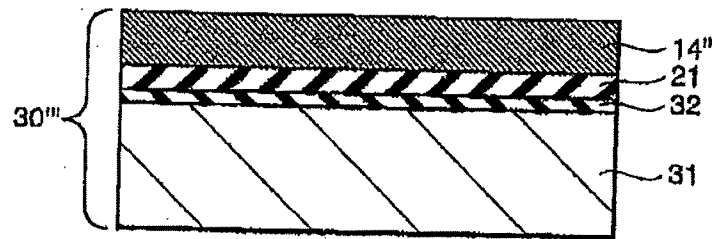


第 1D 圖

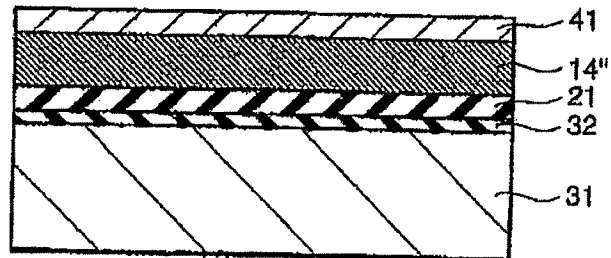
(6)



第 1E 圖

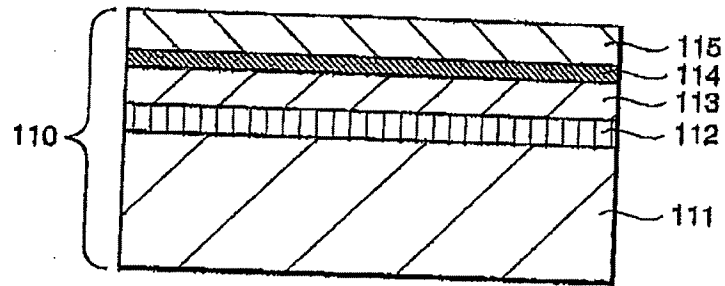


第 2A 圖

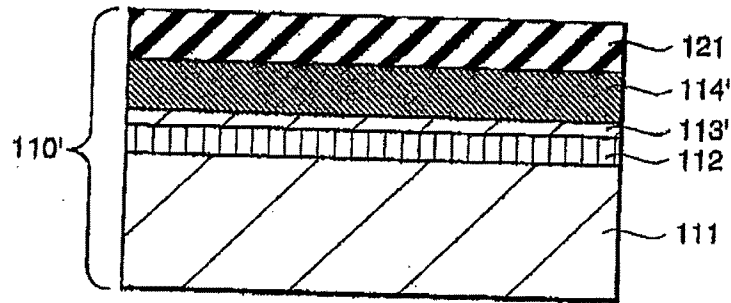


第 2B 圖

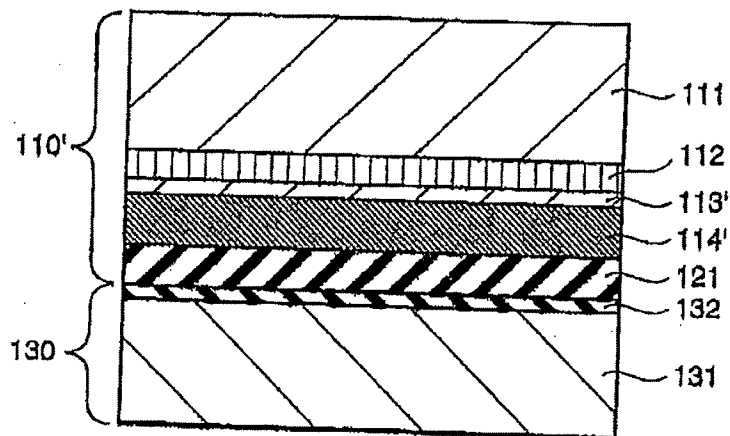
(7)



第 3A 圖

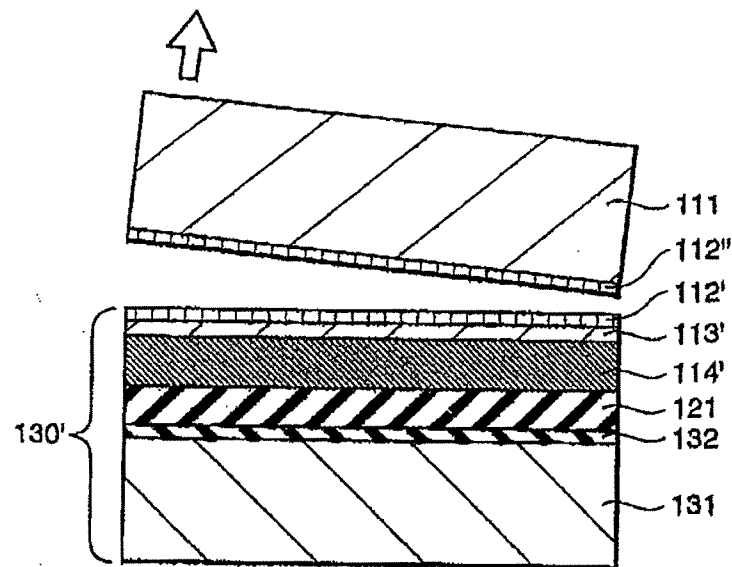


第 3B 圖

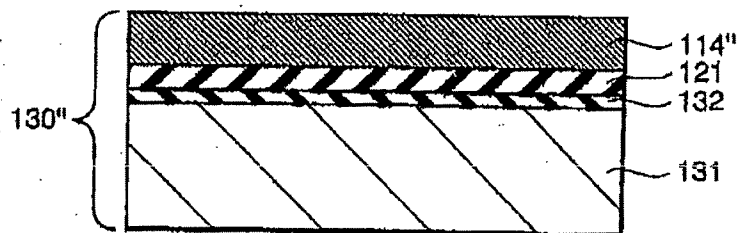


第 3C 圖

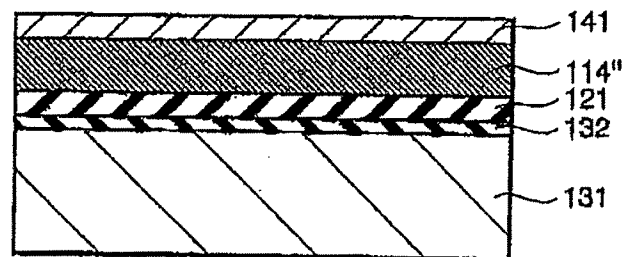
(8)



第 3D 圖

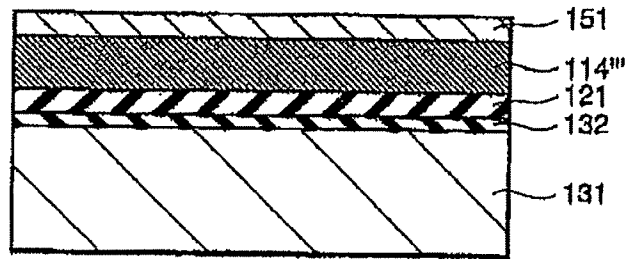


第 3E 圖

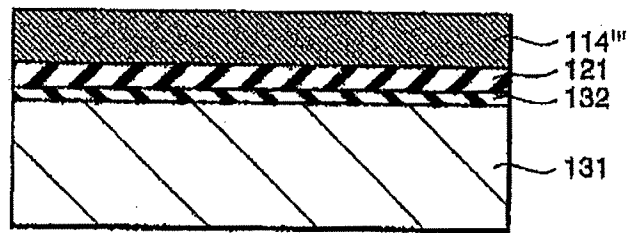


第 3F 圖

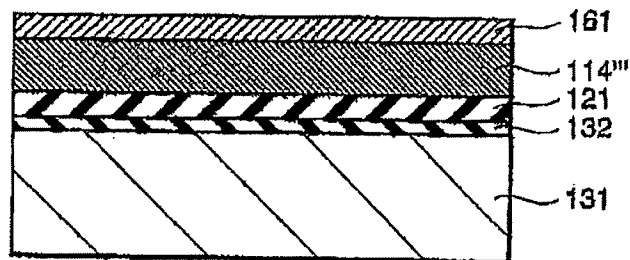
(9)



第4A圖

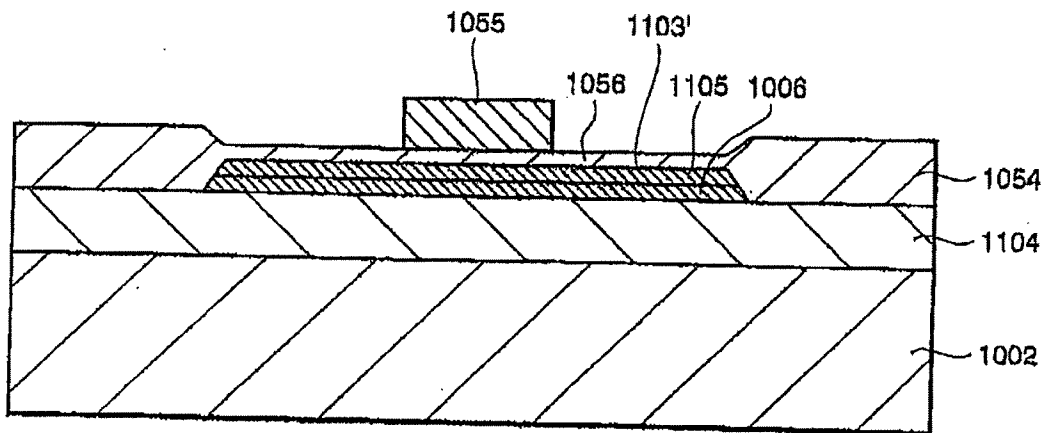


第4B圖

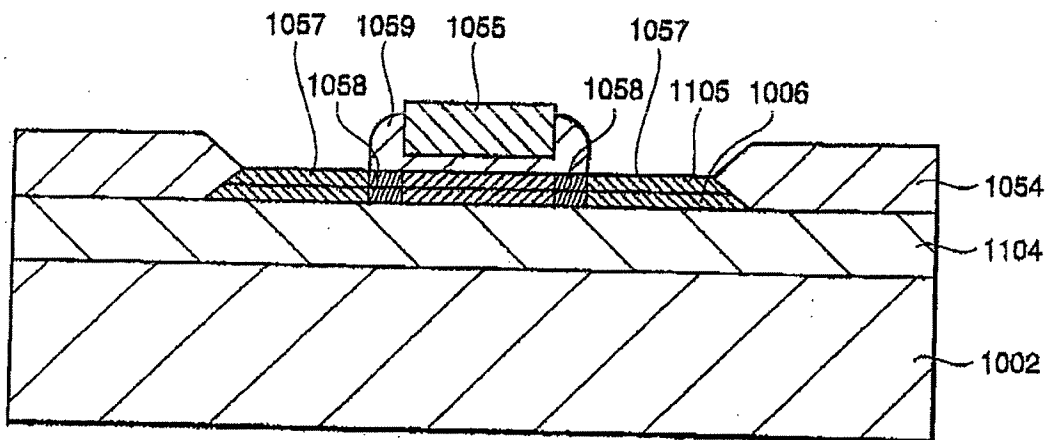


第4C圖

(10)

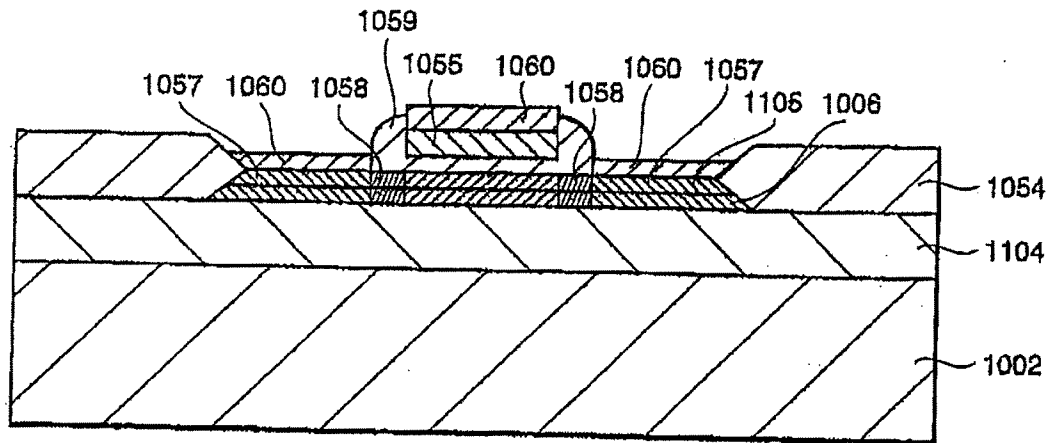


第5A圖

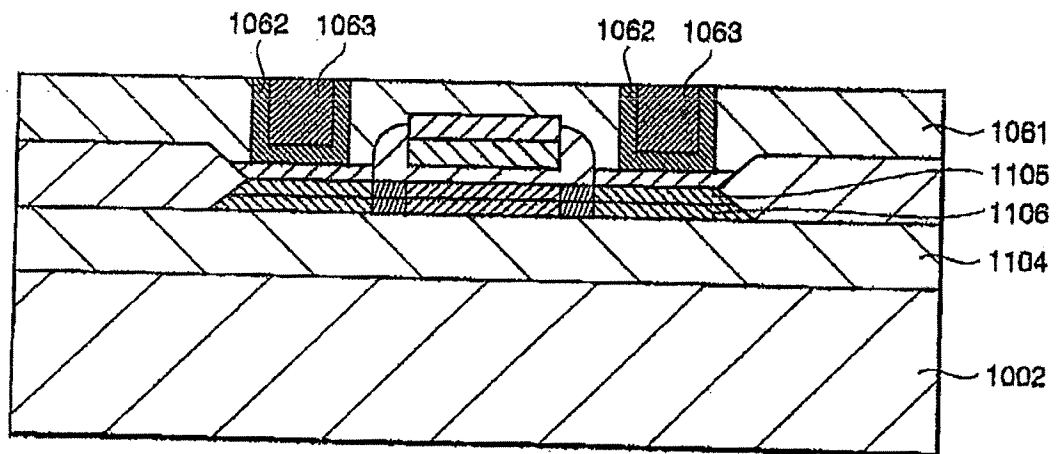


第5B圖

(11)



第5C圖



第5D圖